

## ⑫ 特 許 公 報 (B 2)

平1-46949

⑬ Int. Cl.<sup>4</sup>G 11 C 11/34  
17/00

識別記号

3 5 2  
3 0 7

庁内整理番号

A-8522-5B  
A-7341-5B

⑭ 公告 平成1年(1989)10月11日

発明の数 1 (全10頁)

⑮ 発明の名称 不揮発性メモリの消去方法

審 判 昭62-12535 ⑯ 特 願 昭54-82542

⑰ 公 開 昭55-8697

⑱ 出 願 昭54(1979)6月29日

⑲ 昭55(1980)1月22日

優先権主張 ⑳ 1978年6月30日㉑ 西ドイツ(DE)㉒ P2828836.0

㉓ 発 明 者 ハルトムート・シュレ ドイツ連邦共和国ハール・フアザーネンベーク22  
ンク㉔ 出 願 人 シーメンス、アクチェ ドイツ連邦共和国ベルリン及ミュンヘン(番地なし)  
ンゲゼルシャフト

㉕ 代 理 人 弁理士 富 村 深

審判の合議体 審判長 加 藤 貴 士 審判官 浅 見 保 男 審判官 吉 見 信 明

㉖ 参 考 文 献 特開 昭51-93638 (JP, A)

電子技術第15巻第11号(1973年11月号) P.35~40

1

## ⑳ 特許請求の範囲

1 しきい値電圧の変化によりプログラミング可能なMOSトランジスタよりなるメモリセルがマトリックス状に配置され、各メモリセルトランジスタのゲートは行毎に共通のゲート導線に接続され、各メモリセルトランジスタのソース、ドレンは列毎にそれぞれ共通のソース導線、ドレン導線に接続され、メモリセルトランジスタへの消去電圧の印加により情報を消去し、メモリセルトランジスタの消去状態の検出のため列毎にメモリセルトランジスタのしきい値電圧を監視し、この監視されたしきい値電圧が消去状態を表す値に達したときに消去電圧を列毎に遮断するようにした電気的にプログラム組替え可能な不揮発性メモリセルの語単位の消去方法において、所定数のメモリセルトランジスタに同時に消去電圧を印加し、この所定数を1つの記憶すべき情報語のビット数に対応させ、語を記憶するメモリセルトランジスタのしきい値電圧の監視をメモリセルトランジスタのドレン電圧の検出によつて行い、監視されたドレン電圧が消去状態を表すしきい値電圧の尺度となるドレン電圧値に達したとき、前記所定数のメモリセルトランジスタのうち消去状態に達したものに対する消去電圧を個別に遮断することを特徴と

2

する不揮発性メモリの消去方法。

2 消去電圧をパルス状電圧の形で印加し、消去電圧のパルス休止期間中メモリセルトランジスタのしきい値電圧の監視を行うことを特徴とする特許請求の範囲第1項記載の方法。

3 消去電圧を時間的に連続する電圧の形で印加し、時間的に連続する電圧の印加中にメモリセルトランジスタのしきい値電圧の監視を行うことを特徴とする特許請求の範囲第1項記載の方法。

## ㉗ 発明の詳細な説明

この発明は、マトリックス配置のメモリセルを持ち電気的にプログラム組替え可能な不揮発性メモリセルの語単位の消去方法に関するものである。

15 “IEEE Transactions on Electron Devices、ED-24(5) p.606-610(1977)により電気的にプログラム組替え可能な不揮発性メモリの構成に浮遊ゲートメモリセルを使用することが公知である。この電界効果トランジスタは全面的に絶縁された浮遊メモリゲートと制御可能な制御ゲートとがチャネル区間の上に垂直に重ねて設けられたもので、制御ゲートはチャネル区間の全体を覆い、浮遊ゲートはその一部だけを覆っている。スプリットゲート構造と呼ばれているものによつ

3

て消去されたデプレッション特性を持つメモリセルから読出す際の誤差が避けられる。浮遊メモリゲートの充電はチャネル注入による。そのためには短にチャネル内で電子を加速し、補助の電界によつてメモリゲートに向ける。浮遊ゲートの放電(消去)は制御ゲートと一つの拡散領域との間に印加した高い電圧の下に生ずる電子の逆トンネリングによる。

浮遊ゲート技術によつて作られた語単位で消去可能な不揮発性メモリも既に提案されている(特開昭54-57972号公報参照)。この場合浮遊ゲートの充電と放電は電子が直接浮遊ゲートと基板の間で移動することによるもので、そのために適当な極性の強い電界が浮遊ゲートと一つの拡散領域の間に加えられる。

このようなメモリセルで構成される総ての公知記憶装置では消去時間が外部の時間ユニットを通して調整され固定される。この消去時間は一つのチップのセルだけではなく、異なる製造チャージに属するチップのセルについても製造技術に原因する消去特性のばらつきを考慮して充分長く選ばれる。その上に時間ユニット自体による消去時間のばらつきも考慮に入れなければならない。従つて原則的にはメモリセルトランジスタの少くとも一部がデプレッション状態まで過消去されることは避けられない。この過消去されたメモリセルは読出しに際して選択されたメモリセルトランジスタに対して望ましくない分路として作用する。従つて電氣的に消去可能なメモリのメモリセルは補助の選択トランジスタを持っているのが通則である。この選択トランジスタは多くの場合メモリセルトランジスタと組合せてスプリットゲート構造とすることができるが、それによつて製造技術的に困難な問題が起り製造歩留りが低下する。この外にメモリの消去時間が長いと隣接語妨害の危険が増し、特にチャネル注入によつて書込みが行われるメモリセルの場合プログラミング特性の悪化の原因となる。更に長い消去時間は可能な書込み-消去サイクルの数を低下させメモリの寿命を短くする。

この発明の目的は、語単位をもつて電氣的に消去可能な不揮発性メモリの消去すべきメモリセルのトランジスタのデプレッション状態が避けられ、各メモリセルに対して最短消去時間が達成さ

4

れるように構成することである。

この目的は本発明によれば、しきい値電圧の変化によりプログラミング可能なMOSトランジスタよりなるメモリセルがマトリックス状に配置され、各メモリセルトランジスタのゲートは行毎に共通のゲート導線に接続され、各メモリセルトランジスタのソース、ドレンは列毎にそれぞれ共通のソース導線、ドレン導線に接続され、メモリセルトランジスタへの消去電圧の印加により情報を消去し、メモリセルトランジスタの消去状態の検出のため列毎にメモリセルトランジスタのしきい値電圧を監視し、この監視されたしきい値電圧が消去状態を表す値に達したときに消去電圧を列毎に遮断するようにした電氣的にプログラム組替え可能な不揮発性メモリセルの語単位の消去方法において、所定数のメモリセルトランジスタに同時に消去電圧を印加し、この所定数を1つの記憶すべき情報語のビット数に対応させ、語を記憶するメモリセルトランジスタのしきい値電圧の監視をメモリセルトランジスタのドレン電圧の検出によつて行い、監視されたドレン電圧が消去状態を表すしきい値電圧の尺度となるドレン電圧値に達したとき、所定数のメモリセルトランジスタのうち消去状態に達したものに対する消去電圧を個別に遮断することによつて達成される。

この発明による消去方法を実行する際使用される種々の回路構成部品に関しては特別の要求はなく、それぞれの目的とする機能を達成するものである限り任意のものが使用される。

この発明によるメモリは、消去されるメモリセルのトランジスタのデプレッション状態を阻止することができるという長所を持つ。消去メモリトランジスタがデプレッション状態に達することがないためこの発明によるメモリに対しては1トランジスタ・メモリセルの使用が可能となり、メモリチップの必要面積が僅少となる。又メモリセルの最短消去時間により消去中の酸化物の変化が最小となり、従来のメモリよりも書込み-消去サイクルの数が増大し寿命が長くなる。

更に前記の公知半導体メモリは、構成ユニット外部で使用する際には補助回路として外部時間ユニットを接続する必要がある、それによつて消去過程の継続時間がすべてのメモリセルに対して予め設定されることになるが、これによつて前記の

ような種々の欠点が生ずる。この発明はこのよう  
な時間ユニットを省略することを可能にするか  
ら、時間ユニットを使用することによる欠点も生  
じ得ない。

この発明の展開においてはメモリマトリックス  
に組合せ接続された制御回路により各メモリセル  
の消去時間を可変にし、又メモリセルの消去状態  
をコントロールするためのメモリセルに印加する  
消去電圧が時間的に継起する一連のパルスに分割  
され、パルス間隔中にコントロール読出しが挿入  
される。これによつてメモリの構成に1トランジ  
スタセルの使用が可能となる。更に消去電圧を一  
連のパルスに分割することにより消去中の結晶基  
板の加熱が低減され、それに基く損傷が減少す  
る。この長所は消去電流が大きく、それによる加  
熱が大きい程重要である。このような消去電流は  
例えば望ましくない貫通放電現象によつて起る。

チャネル領域から絶縁された消去領域を持たな  
いセルでは例えばnチャネルメモリセルの場合消  
去に対しては高い正電圧をソースに印加し、コン  
トロール読出しに対してはソースを接地しなけれ  
ばならないから消去とコントロール読出しを同時  
に行うことには不可能である。pチャネルセルで  
も印加電圧の符号が逆になるだけであるから二つ  
の条件を同時に満たすことは同じく不可能であ  
る。これに反して消去電圧を一連のパルス電圧に  
分割するとパルス間隔中にコントロール読出しが  
可能になる。メモリマトリックスに組合せ接続す  
る制御回路はコントロール読出し過程中メモリセ  
ルのしきい値電圧 $V_T$ ("0")の絶対値がメモリセ  
ルの規定しきい値電圧 $U_{cl}$ の絶対値に等しいかそ  
れより小さくなったとき( $|V_T$ ("0") $\leq |U_{cl}|$ )このメモリセルの消去時間が終了するよう  
にすると有利である。

nチャネルメモリセルの場合低い方のしきい値  
電圧 $V_T$ ("0")とコントロール読出し電圧 $U_{cl}$ の  
間に $U_{cl} > V_T$ ("0") $> 0$ の関係があると消去セル  
がデプレッション状態に達することはない。この  
関係を確保するため各消去パルスの長さ(持続時  
間)を消去セルが消去パルスの継続中デプレシ  
ョン状態に達する前に遮断されるように選ぶ。

この発明の一つの実施形態は、時間的に連続す  
る消去電圧と同時に進行されるコントロール読出し  
によつて可変消去時間が達成され、その際各セ

ルの消去時間はそのしきい値電圧 $V_T$ ("0")が  
 $U_{cl}$ に等しいか $U_{cl}$ と0の間になったとき終了す  
るように制御回路がメモリセルマトリックスに組  
合せ接続される。

5 連続消去と同時読出しは浮遊ゲートメモリセル  
において実施可能である。このセルはチャネル領  
域から絶縁された消去窓を持ち、nチャネルの場  
合ソース電圧は全消去過程中0Vであり、消去窓  
内の絶縁された拡散領域には高い正電圧が印加さ  
れる。この種のセルは西独特許出願公開第  
2643987号公報に記載されている。

ビット単位の書込みは実際上の重要性が比較的  
低い。プログラミングの際絶てのしきい値電圧は  
漸次的に終値に達し、その変動は小さくまたその  
正確な値は必要でない。過消去に対応する過大の  
書込みは発生しない。書込みに際しての制御は、  
15 外部時間ユニットが省略され同時に状態"1"  
に対する特定の最小値が確保されるように行われ  
る。

20 消去過程内のコントロール読出しに際してドレ  
ン電圧の絶対値 $|U_d|$ の下降によつて消去状態  
が表示されるようにすると有利である。

浮遊ゲートトランジスタの導電性は浮遊ゲート  
の充電状態に応じて変化する。この導電性の変化  
の消去過程の終了に対する信号として利用すること  
ができる。ビット単位で接続されるドレン導線  
にある読出し電圧が印加されていると、消去中の  
コントロール読出し時間中ドレンが浮遊状態にあり、  
トランジスタが充分消去されるとある電圧に  
30 上げられる。この場合非選択メモリセルがデプレ  
ーション状態にならないためほぼ0Vの低いゲ  
ート電圧を印加されていることが前提となる。メモ  
リセルの消去過程の終りを示すドレン出力信号が  
このセルに印加されている消去電圧の遮断に使用  
されるように制御回路をメモリセルマトリックス  
に組合せ接続すると有利である。

メモリセルを構成する電界効果トランジスタの  
ゲート導線を語単位で、そのドレン導線をビット  
単位で接続することも有利である。消去窓内に絶  
縁された拡散領域を持つメモリセルが使用されて  
いるときは消去窓導線は常にビット単位で接続さ  
れ、ソース導線は地電位に置かれる。絶縁された  
消去領域を持たないセルではソース導線はビット  
毎に相互に分離される。最後に消去時のコントロ

ール読出しのための予め与えられたしきい値電圧  $U_{ol}$  に対して必要なゲート電圧およびメモリの読出しのためのゲート電圧を同一の分圧器から導き、それによつて常に  $U_{ol}$  が  $U_{or}$  より小さくなるように制御回路をメモリセルマトリックスに組合せ接続することも有利である。

この手段により読出しに際してのゲート電圧  $U_{or}$  と消去状態のしきい値電圧  $V_T$  ("0"), ( $V_T$  ("0")  $> U_{or}$ ) の間に最小間隔が確保されるから常に確実な読出しが可能となる。一つのメモリ内のメモリセルの間の許容差に基く消去特性の差は読出しの信頼性に影響することなく、単に消去過程の継続時間に影響するだけである。この場合プログラム未記入状態が読出し電圧に相対的に精確に固定されるから、消去窓の幅即ち消去中のコントロール読出しに際してのゲート電圧とプログラムされた状態 "1" に対するゲート電圧との間の差を低下させることができる。これによつてプログラミング中の電圧を低くするかあるいはプログラミング時間を極めて短くすることができる。更に電氣的の窓を予め与えられたしきい値電圧範囲内に置くことも可能である。

次に実施例についてこの発明を更に詳細に説明する。この実施例と図面は  $n$  チャネルメモリセルに対するものであるが、 $p$  チャネル形ののものにも符号を適当に変えることによつてそのまま適用される。

第1図は一つのメモリセルマトリックス行の消去時間  $\tau$  の間にパルス電圧によつて消去されるメモリトランジスタに印加される電圧の経過を示す。a) に示す時間  $\tau$  の間第2図に示す回路のフリップ・フロップ入力端 130 および 230、第3図に示す回路のトランジスタ 113 と 213 のゲートが "0" に対応する電圧から "1" に対応する電圧に上げられる。b) は一つのトランジスタセルのソース電位  $U_s$  とゲート電圧  $U_g$  の差および充電電圧  $U_L$  とゲート電位  $U_g$  の差の時間経過を示す。一つの消去セルにはそのセルが特定のしきい値電圧  $V_T$  ("0")  $\leq U_{ol}$  に達するまで充分な個数パルス (ここでは 10, 11, 12 として示す) が与えられる。その後は全メモリセル行の消去時間  $\tau$  の終りまで極めて小さいパルス (ここでは 13, 14 で示す) だけが与えられるか、あるいは消去セルには電圧パルスが全然与えられない。

c) は消去パルス間隔に加えられるゲート電圧の時間経過を示す。パルス間隔全体がコントロール読出し時間  $T_{kl}$  で埋められているが、この読出し時間を消去パルス間隔より短かくしてもよい。以後の図面と実施例においては  $T_{kl}$  が消去パルス間隔に等しいとする。コントロール読出しパルス 15 乃至 20 は一定の電圧値  $U_{ol}$  を持つ。これは使用されているセルの予め与えられたしきい値電圧を決めるもので、第1図 b) に示した消去パルスの電圧値よりも著しく小さい。

第1図 d) はメモリセルのしきい値電圧  $V_T$  の時間経過を示す。しきい値電圧の値は消去パルス 10, 11, 12 の持続時間中低下し、最初のレベル 21 から順次にレベル 22, 23, 24 に下る。レベル 24 は破線で示した予め与えられたゲート電圧  $U_{ol}$  より低い。第1図 b) および d) に示すように  $U_{ol}$  より下のレベル 24 に到達後は消去パルスが消去セルに与えられることなく、しきい値電圧  $V_T$  もこの時点以後は変化しない。第1図 e) に消去時間  $\tau$  内のドレン電圧  $U_D$  の時間経過を示す。ドレン電圧  $U_D$  はコントロール読出し時間  $T_{kl}$  の間ドレンに印加される比較的低い読出し電圧  $U_{ol}$  に等しく、消去パルス時間  $T_L$  では制御方法によつて斜線を引いた区域 29, 30, 31 内部のいずれかのレベルにある。消去パルス時間  $T_L$  中のドレン電圧レベルはここで説明する回路の機能には何等の影響も及ぼさない。しきい値電圧  $V_T$  が d) に示したように  $U_{ol}$  以下に低下した後は消去メモリセルは導通状態となる。これによつてドレン電圧  $U_D$  はコントロール読出し時間  $T_{kl}$  中 35, 37, 39 に低下する。この値はほぼ 0V に等しい。

第2図に消去窓内部に絶縁された拡散領域を持たない 1 トランジスタメモリセルの制御回路を示す。メモリセルは図を簡単にするため 100, 200, 300 および 400 の 4 個だけが所属制御回路と共に示されている。ビット単位で接続される  $n$  番目のソース導線 120 はメモリセル 100 と 300 のソースを結び、 $n+1$  番目のソース導線 220 はメモリセル 400 と 200 のソースを結ぶ。ビット単位で接続される  $n$  番目のドレン導線 140 は電位  $U_{Dn}$  にあつてメモリセル 100 と 300 のドレンを結び、同じく  $n+1$  番目のドレン導線 240 は電位  $U_{Dn+1}$  にあつてメモリセル 2

00と400のドレンを結ぶ。ゲート電圧 $U_{0m}$ を持つゲート導線160はメモリセル100と200のゲートを結び、ゲート電圧 $U_{0m+1}$ を持つゲート導線360はメモリセル300と400のゲートを結ぶ。更にソース導線120又は220はトランジスタ122又は222および121又は221により端子123又は223の低い電圧と端子124又は224の高い電圧(約25乃至40V)の間で切換えられる。ソース導線120又は220はトランジスタ121又は221が導通すると低い電位に接続される。トランジスタ121又は221のゲートはNAND回路125又は225の出力端126又は226を通して制御される。NAND回路125の入力端127又はNAND回路225の入力端227にはそれぞれ消去パルス時間 $T_L$ 中記号 $T_L$ で示された“1”に対応する電圧が導かれ、その他の時間中は“0”に対応する電圧が導かれる。NAND回路125又は225の第二入力端128又は228にはフリップ・フロップ129又は229の出力端が接続される。フリップ・フロップ129又は229の一方の入力端130又は230には消去時間 $\tau$ 中は“1”に対応する電気信号が導かれ、その他の時間では“0”に対応する信号が導かれる。フリップ・フロップ129又は229の第二入力端131又は231にはドレン導線140又は240が接続され、これらのフリップ・フロップの出力端132又は232は図に示されていないAND回路 $\beta$ に接続され、この回路の出力端は消去過程の終了後一つのマトリックス行の総てのセルにおいて入力端130又は230に加えられる消去過程用の信号を遮断する。全消去時間 $\tau$ の間フリップ・フロップ129又は229の第一入力端130又は230は常に“1”を受取る。これに対してこれらのフリップ・フロップの第二入力端131又は231は全消去過程約5乃至15Vの正電圧 $U_{00}$ を負荷トランジスタ135又は235を通して受ける。これによりフリップ・フロップ出力端128又は228は対応ビットの選択セルが消去されるまで“1”を送り出す。NAND回路125又は225の第二入力端127又は227は消去パルス時間 $T_L$ の間“1”と加えられ、その他の時間では“0”を示す。これによつてNAND回路125又は225の出力端126又は226は消去

パルスの間“0”を送り出し、トランジスタ121又は221が阻止され、ソース導線120又は220は $U_{00}$ から始まつて導通トランジスタ122と174又は222と174を通して高い正電圧(25—40V)に上げられる。消去パルス間隔中は入力端127又は227に“0”が導かれ、“1”がNAND回路125又は225の出力端126又は226に表われる。これによつてトランジスタ121又は221が導通し、消去パルス間隔中にはほぼ0Vの低い電圧がトランジスタ121又は221を通してソース導線120又は220に加えられるから、ソースに低電圧がありドレンに低い正電圧( $U_{00}$ )がある状態でコントロール読出しが実施される。

一つのビット例えば $n$ 番目のビットで選択されたセルが充分消去されるとこのセルは導通状態になる。従つてドレン電圧 $U_{0m}$ は次の消去パルス間隔でほぼ0に近い小さい値に低下する。この時点以後フリップ・フロップ129の入力端131は“0”を受け、他の入力端130はメモリの全消去時間 $\tau$ の間“1”を受ける。従つてフリップ・フロップ出力端132は“1”に切り換えられ、第二出力端はNAND回路125の入力端128に“0”を送る。出力端132に表われる“1”は図に示されていないAND回路 $\beta$ の一つの入力端に伝えられ、最後に選択されたセルの消去時間が終つたとき送り出されるこの回路の出力信号は消去時間 $\tau$ に対する信号の遮断に利用することができる一つの信号を作り出す。以後の消去時間の全体に対してNAND回路125の出力端は常に“1”を示すから、トランジスタ121は常に導通しソース導線120はメモリの残りの消去過程でほぼ0Vの電位に置かれる。このようにして各メモリセルの消去時間は個別に遮断され、最後のセルの消去時間が終つたときAND回路 $\beta$ はその出力信号によつて選択されたメモリセルの消去時間 $\tau$ に対する信号を遮断する。フリップ・フロップは全消去過程の終了後、消去時間中に入力端130又は230の零レベルと同時にフリップ・フロップ129又は229に導かれるドレン電圧 $U_{00}$ 又は $U_{0m+1}$ が少くとも短時間“1”に上げられていると、元に戻される。

ゲート制御に際して $m+1$ が選択されたメモリセルの番号であり、 $m$ が選択されないセルの番号

であるとする。語の選択はアドレスデコードからの論理“0”によつて行われる。ここで入力端390に“0”が導かれトランジスタ386がインバータ391を通して導通し、同時にトランジスタ367が阻止される。これによつてゲート導線360には消去パルス持続時間 $T_L$ の間、コントロール読出し時間 $T_{KL}$ とインバータ172によつて導通接続されたトランジスタ170を通して導入されたほぼ0Vに等しいゲート電圧 $U_{om+1}$ がトランジスタ386を通して導かれる。このトランジスタは $T_{KL}$ の間インバータ172を通して導通している。これによつて消去パルス持続時間 $T_L$ 中ほぼ0Vの電圧が選択された語のゲート導線に加えられ、同時に25乃至40Vの高い正電圧がソース導線に加えられる。これに対して消去パルス間隔では選択されない隣接語のゲートは高い正電圧を印加されるから、消去に際しての隣接語の妨害は発生しない。即ち非選択語の入力端190は“1”を受け、トランジスタ166はインバータ191により阻止されるのに対して、トランジスタ167は通電しトランジスタ168は消去パルス持続時間 $T_L$ 中インバータ173により阻止される。これにより非選択語のゲート導線160には導通したトランジスタ169を通して約25Vの高い正電圧 $U_{p1}$ が加えられるから、隣接語のゲート電圧は高い正の値を持ち、電位差 $U_s - U_a$ は0乃至15Vとなつて隣接セルの消去には不足する。トランジスタ169が消去パルス持続時間 $T_L$ 中導通するのは、この時間中トランジスタ175がインバータ176により阻止され、トランジスタ174は抵抗177を通して導通して約30乃至40Vの正電圧 $U_{p2}$ がトランジスタ169のゲートに導かれることによるものである。

消去パルス間隔で行われるコントロール読出し時間 $T_{KL}$ 中トランジスタ170はインバータ172のため導通しないから、選択語 $m+1$ のゲート導線360には導通トランジスタ171を通してコントロール読出し電圧 $U_{oa}$ が加えられる。この電圧はポテンシオメータから導くことができる。

非選択語のゲート導線160にはコントロール読出し時間 $T_{KL}$ 中導通したトランジスタ167と168を通して（トランジスタ169は阻止されている）ほぼ0Vの電圧 $U_{om}$ が加えられる。これによつてコントロール読出し中の隣接語妨害は発

生しない。

$T_{KL}$ の間インバータ176の入力端に“0”が導かれその出力端から“1”が送り出されるため、トランジスタ175が導通しトランジスタ174は阻止され、その結果トランジスタ169も阻止される。

第3図に消去窓内に絶縁された充放電領域を持つ浮遊ゲート・1トランジスタ・メモリセルに対する制御回路を示す。ここでも図を見易くするためメモリセル101, 201, 301, 401だけがそれに属する制御回路と共に示されている。第3図の制御回路の多くの部分が第2図の回路のものと一致している。第2図と同一の素子は同じ符号で示してある。

第3図においてゲート制御回路は第2図のものと同一であるからその説明は省略する。

第2図との差異は、メモリセル101, 201, 301, 401がそれぞれソースから絶縁された充放電領域117, 217, 317, 417を持つことである。これらの領域は充放電導線119又は219を通してビット単位で約0Vの低電圧と約25乃至40Vの高電圧の間で切換えられる。これは第2図の場合と同様にトランジスタ121, 122又は221, 222を通して行われる。充放電領域から絶縁されたソース118, 218, 318, 418はそれぞれ接地される。第3図のメモリセルのドレンは第2図のものを同様にビット単位で接続されるドレン導線140又は240に結合されている。第2図のフリップ・フロップ129又は229とそれに接続されたNAND回路125又は225の機能は第3図の回路ではメモリセル101, 301およびトランジスタ112, 113とインバータ114との組合せ又はメモリセル201, 401およびトランジスタ212, 213とインバータ214との組合せによつて代行される。第2図について説明したようにこの発明による制御回路は消去するセルの一つが特定の予め与えられたしきい値電圧以下に低下したとき各メモリセルの消去電圧を確実に遮断する。131の電圧 $U_{om}$ 又は231の電圧 $U_{om+1}$ が下降すると、インバータ114又は214によりトランジスタ112又は212のゲート電圧が上昇する。トランジスタ113又は213は全消去過程中信号電圧の印加により導通状態に

あるから、131又は231の電圧はトランジスタ112又は212の導通と共に更に低下する。 $U_{Dn}$ 又は $U_{Dn+1}$ がしきい値電圧以下になると回路は自発的に安定最終状態に移り、 $U_{Dn}$ 又は $U_{Dn+1}$ はほぼ0Vとなる。この移行と同時にトランジスタ121又は221が導通し、充放電領域117, 217又は317, 417の消去電圧がそれぞれ小さな値に低下する。元への復帰は第3図の回路の場合トランジスタ113又は213の阻止による消去の終了後に始めて行われる。メモリの全消去過程を遮断するためには、それぞれの選択されたセルのドレン電圧例えばn番目のビットの選択セルのドレン電圧 $U_{Dn}$ をドレン導線140に接続された出力端141から図に示されていないインバータを通して同じく図に示されていないNAND回路 $\beta$ に導く。n+1番目のビットに対するドレン電圧 $U_{Dn+1}$ も出力端241からのドレン導線240を通して同様に処理される。一つのセルが消去状態に達するとこのセルが導通し、それによつてドレン電圧はそれまでの高い正值からほぼ0Vに低下するから、それぞれの消去されたセルは“0”を出力端141に接続されたインバータに導き、それを通じて“1”をこのインバータに接続されたAND回路 $\beta$ の一つの入力端に導く。選択語の最終セルが消去状態に達した後AND回路 $\beta$ の総ての入力端に“1”が導かれ、出力端から“1”が送出される。こ最終信号は消去過程の遮断に使用される。

第3図に示した制御回路と1トランジスタメモ

リセルを使用すると、第2図の場合と同様にメモリをパルスによつて消去することができる。図から分るよう第3図の制御回路は第2図のものと比べて構成部分の数が少くより迅速な読出しが可能である。更に第3図の制御回路ではメモリをパルスで消去せず、時間的に連続すると消去電圧で消去し同時にコントロール読出しを行うことができる。ただしこの場合は消去過程中ゲートに高い補償電圧が印加される非選択メモリセルが導電性であつてコントロール読出しを妨害する危険があることを考慮しなければならない。この場合選択トランジスタを付加して2トランジスタメモリセルとするかメモリを単一の語から構成することが必要となる。

第2図又は第3図に示した制御回路を備えたこの発明によるメモリは例えば電話交換設備の同調メモリ又は番号メモリとして使用することができる。

#### 図面の簡単な説明

第1図はパルスで消去されるメモリトランジスタの消去時間内の印加電圧の時間経過図であり、第2図はソース側に充放電領域を持つ1トランジスタメモリセルで構成されるメモリに対する制御回路、第3図は絶縁された充放電領域を持つ1トランジスタメモリセルで構成されるメモリに対する制御回路を示す。第2図、第3図において100, 200, 300, 400はメモリセル、120と220はソース導線、140と240はドレン導線、160と360はゲート導線である。

FIG1

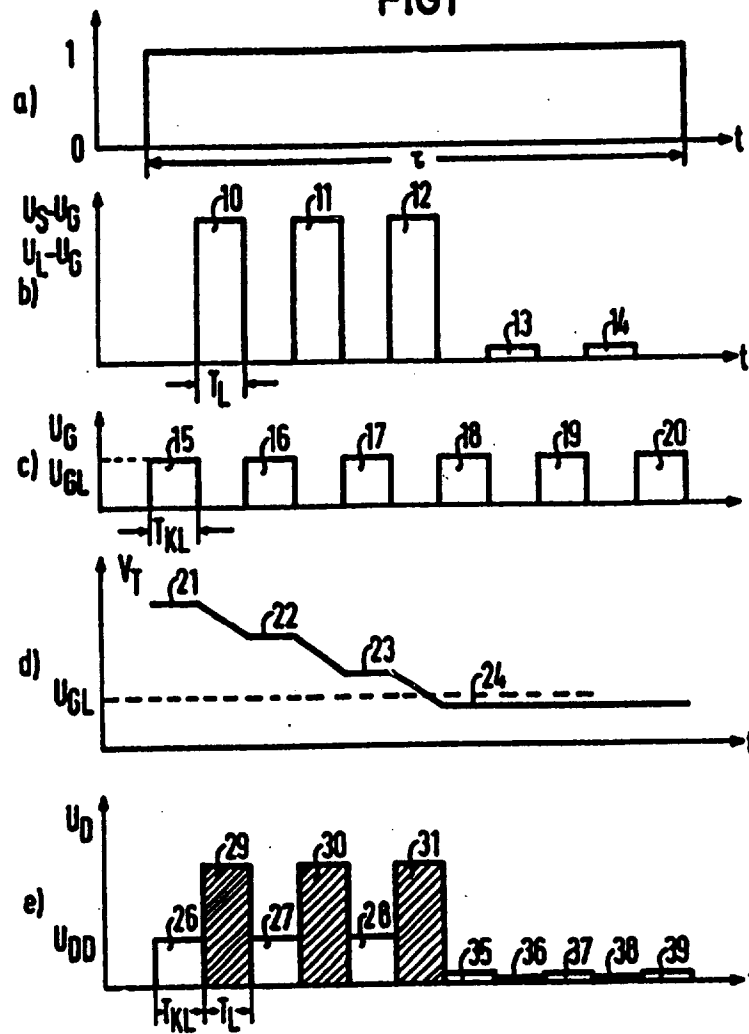
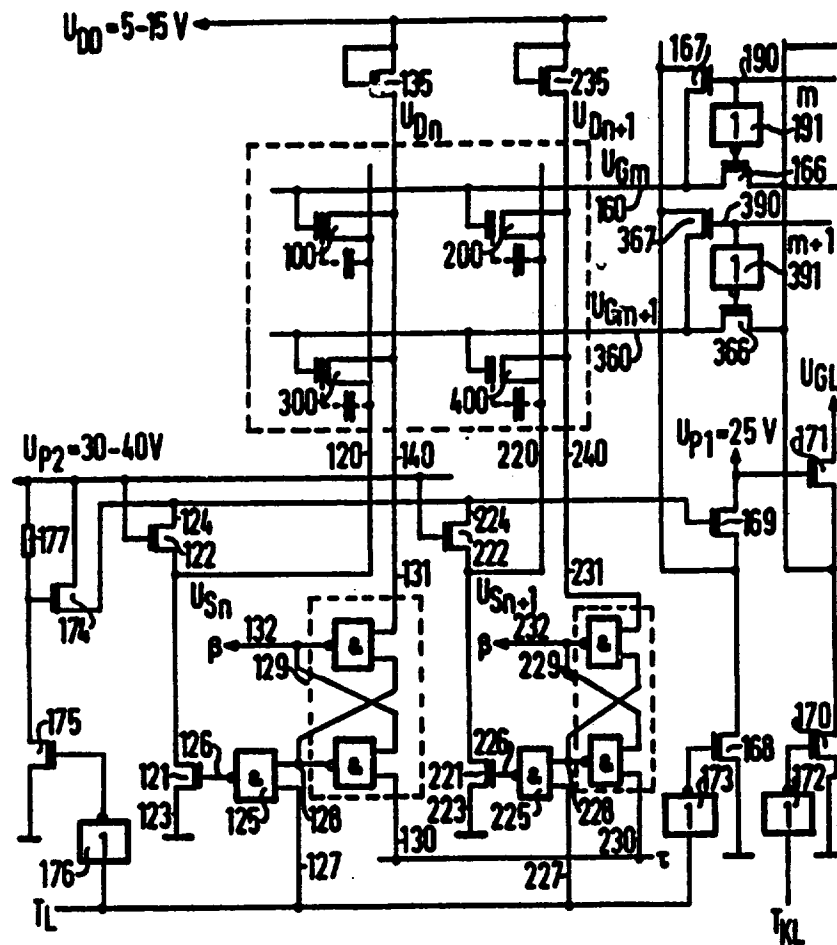




FIG2



**FIG3**

